

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005 年 7 月 21 日 (21.07.2005)

PCT

(10) 国際公開番号
WO 2005/067136 A1(51) 国際特許分類⁷: H02P 8/12

(21) 国際出願番号: PCT/JP2005/000117

(22) 国際出願日: 2005 年 1 月 7 日 (07.01.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2004-003841 2004 年 1 月 9 日 (09.01.2004) JP

(71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO.,LTD) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 大尾 光明 (DAIO,

Mitsuaki) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP). 柳島大輝 (YANAGISHIMA, Daiki) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).

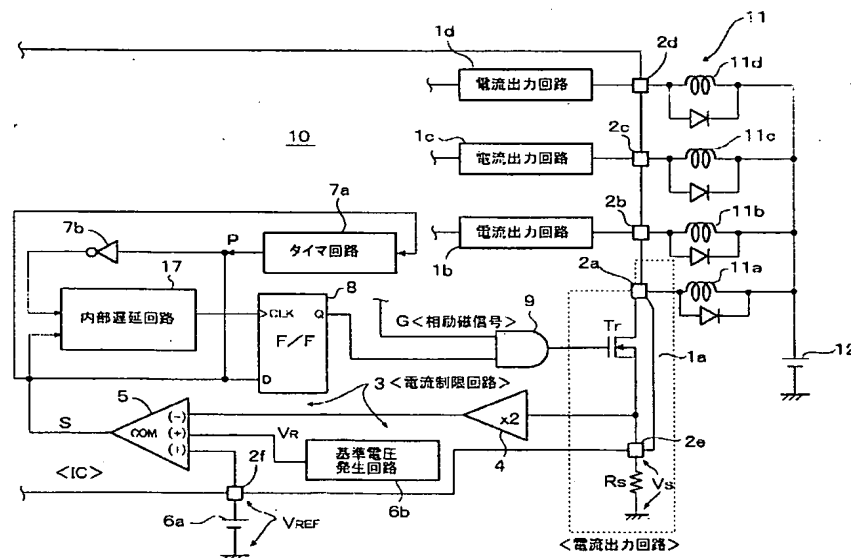
(74) 代理人: 梶山 信是, 外 (KAJIYAMA, Tsuyoshi et al.); 〒1600023 東京都新宿区西新宿 8-8-1 5-201 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

[続葉有]

(54) Title: CURRENT LIMITER CIRCUIT AND MOTOR DRIVE CIRCUIT

(54) 発明の名称: 電流制限回路およびモータドライブ回路



1d CURRENT OUTPUT CIRCUIT
1c CURRENT OUTPUT CIRCUIT
1b CURRENT OUTPUT CIRCUIT
7a TIMER CIRCUIT
17 INTERNAL DELAY CIRCUIT

G <PHASE EXCITATION SIGNAL>
3 <CURRENT LIMITER CIRCUIT>
6b REFERENCE VOLTAGE GENERATOR CIRCUIT
1a <CURRENT OUTPUT CIRCUIT>

(57) Abstract: [PROBLEMS] To provide a current limiter circuit and a motor drive circuit that prevent overcurrent from occurring when an external reference voltage generator circuit for detecting a prescribed current value is broken, thereby protecting a power transistor,

[続葉有]



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

and that can be continuously used as a driver IC. [MEANS FOR SOLVING PROBLEMS] An output current detector circuit is series connected to a power transistor and includes a comparator and first and second reference voltage generator circuits. When the output current of the power transistor reaches a prescribed value, the comparator generates, in response to a corresponding detection signal from the output current detector circuit and a first reference voltage from the first reference voltage generator circuit, a control signal for halting the driving of the power transistor for a predetermined interval. When the output current of the power transistor does reaches a predetermined value beyond the prescribed value, the comparator generates a control signal in response to a corresponding detection signal from the output current detector circuit and a second reference voltage from the second reference voltage generator circuit. The first reference voltage generator circuit is externally connected to the IC, while the second reference voltage generator circuit is included in the IC.

(57) 要約: 【課題】 規定電流値検出のための外付け基準電圧発生回路が故障したときに過電流の発生を防止してパワートランジスタを保護しかつドライバICとして継続使用できる電流制限回路およびモータドライブ回路を提供することにある。【解決手段】 この発明は、出力電流検出回路がパワートランジスタに直列に設けられ、コンパレータと第1の基準電圧発生回路と第2の基準電圧発生回路とを有し、パワートランジスタの出力電流が所定の規定値に達したときに出力電流検出回路から得られるその検出信号と第1の基準電圧発生回路から得られる第1の基準電圧とに応じてコンパレータがパワートランジスタの駆動を所定期間停止させるための制御信号を発生し、パワートランジスタの出力電流が規定値を越えた所定値になったときに出力電流検出回路から得られるその検出信号と第2の基準電圧発生回路から得られる第2の基準電圧とに応じてコンパレータが制御信号を発生するものであって、第1の基準電圧発生回路がICに外付けされ、第2の基準電圧発生回路がICに内蔵されているものである。

明 細 書

電流制限回路およびモータドライブ回路

技術分野

- [0001] この発明は、電流制限回路およびモータドライブ回路に関し、詳しくは、ユニポーラ（半波）駆動のステッピングモータドライバICにおいて、規定電流値（制限電流値）検出のための外付け基準電圧発生回路が故障したときに過電流の発生を防止してパワートランジスタを保護しかつドライバICとして継続使用できるようにすることが可能な電流制限回路に関する。

背景技術

- [0002] ユニポーラ駆動のステッピングモータドライバ（パルスモータドライバ）は、1相駆動、1相-2相駆動あるいは2相駆動等によりモータの固定子側を順次励磁することで、所定の回転角だけ突起形状の回転子を回転させる。

各固定子を励磁するための駆動電流を流すドライバは、電源ラインに接続され固定子に巻かれたコイル（励磁コイル）に対してこれに直列にパワートランジスタ（出力段トランジスタ）が各相對応にそれぞれ設けられている。この各相對応に設けられたパワートランジスタが所定のタイミングでON/OFFされることで、固定子が順次励磁されてステッピングモータがドライブされる。

ある相のパワートランジスタがONすると、その相の励磁コイルのインダクタンスとパワートランジスタ等のインピーダンスにより決定される所定の時定数の過渡現象でON期間の間順次駆動電流が増加していく。この増加量を所定値までに制限するために、パワートランジスタをONさせてから所定の期間後にOFFすることで、パワートランジスタに過電流が流れないように制御される。そのため、パワートランジスタは、通常、ON/OFFする“H”（HIGHレベル），“L”（LOWレベル）の論理値パルスで各相がチョッピングによるパルス駆動される。

- [0003] このようなパルス駆動制御の1つとして、ON期間をタイマ回路で設定して制御するチョッパ制御の3相モータドライバとそのIGBTパワートランジスタの保護回路が公知である（特許文献1）。

この特許文献1(特開平11-112313号)に示されているように、この種のドライバの過電流保護回路は、出力電流を検出する電流検出回路とパワートランジスタの駆動を停止する過電流検出回路とで構成される。電流検出回路は、通常、パワートランジスタに直列に設けられている。過電流検出回路は、出力段パワートランジスタの出力電流値が所定値以上の過電流になったときに得られる電流検出回路からの検出信号に応じて動作して出力電流値を制限する。

特許文献1:特開平11-112313号公報

発明の開示

発明が解決しようとする課題

- [0004] 電流制限回路は、通常、コンパレータにより電流検出回路からの検出電圧信号と基準電圧とを比較して基準電圧を越えたときにパワートランジスタの駆動を停止する。基準電圧を発生する回路が故障すると、電流制限回路がはたらかなくなり、パワートランジスタが破壊される問題がある。そのため、過電流保護回路が別途必要になる。

前記の電流制限回路による規定電流値(制限電流値)検出のための基準電圧発生回路は、ドライバICに外付けされる。それは、パワートランジスタの特性のばらつきに応じて規定電流値検出電圧にばらつきが発生するからであり、この電圧を外付けにより調整することで制限する電流値を設計仕様に適合するような値に調整する必要があるからである。

そのため、IC内部の回路よりもこの外付け回路の接続不良、断線などが発生し易く、それにより、この基準電圧入力端子がオープンとなると、電流制限回路がはたらかなくなってパワートランジスタがON状態となる。別途設けられる過電流保護回路は、このON状態のときに流れる出力電流の過電流を検出することになるが、通常、過電流保護回路は、ドライバICとしての動作を停止させるために継続的にドライバとして使用できなくなる。特に、モータドライブ回路等のドライバにあつては、単に、基準電圧を発生する回路の故障だけでドライバが動作しなくなり、モータも動作しなくなる。そのため、ときには、機構あるいは装置全体が無駄になってしまう問題がある。

この発明の目的は、このような従来技術の問題点を解決するものであり、規定電流値検出のための外付け基準電圧発生回路が故障したときに過電流の発生を防止し

てパワートランジスタを保護しかつドライバICとして継続使用できる電流制限回路あるいはモータドライブ回路を提供することにある。

課題を解決するための手段

- [0005] このような目的を達成するためのこの発明の電流制限回路あるいはモータドライブ回路の構成は、出力電流検出回路がパワートランジスタに直列に設けられ、コンパレータと第1の基準電圧発生回路と第2の基準電圧発生回路とを有し、パワートランジスタの出力電流が所定の規定値に達したときに出力電流検出回路から得られるその検出信号と第1の基準電圧発生回路から得られる第1の基準電圧とに応じてコンパレータがパワートランジスタの駆動を所定期間停止させるための制御信号を発生し、パワートランジスタの出力電流が規定値を越えた所定値になったときに出力電流検出回路から得られるその検出信号と第2の基準電圧発生回路から得られる第2の基準電圧とに応じてコンパレータが制御信号を発生するものであって、第1の基準電圧発生回路がICに外付けされ、第2の基準電圧発生回路がICに内蔵されているものである。

発明の効果

- [0006] この発明にあつては、第2の基準電圧発生回路がICに内蔵されているので、規定電流値検出のための第1の基準電圧発生回路が故障したときに第2の基準電圧発生回路により電流制限がかかり、過電流を防止してパワートランジスタを保護することができる。

ICに内蔵されている第2の基準電圧発生回路は、外付け部品ではないので、接続不良、断線などはほとんど発生しない。したがって、確実にこのICが保護され、しかも、前記の所定値をドライバICとして継続動作することに問題のないような、第1の基準電圧より少し高い値に設定しておけば、ドライバICとしての動作に差し障りがない。

したがって、外部の取り付け部品の第1の基準電圧発生回路を取り替えなくてもドライバとしてこのICを継続して使用することが可能になる。

なお、第1の基準電圧発生回路が発生すべき電圧は、その接続端子を介して発生すべき電圧がチェックできるようにしておけば容易に判断がつくので、第1の基準電圧発生回路を取り替えて正常の動作状態に戻すことも容易である。

この場合の第1の基準電圧発生回路の発生すべき電圧は、第2の基準電圧発生回路の電圧から得ることが容易にできる。

- [0007] ここでの規定電流値は、過電流保護ではなくモータ駆動回路をチョッピング駆動するときには電流値をある電流値以下に制限する制限電流値(設計値)に対応するものである。この点、第2の基準電圧発生回路の電圧は、過電流保護と電流制限とを兼ね備えるものである。過電流保護回路は、本来ICとしての破壊を防止するために設けられるものであるが、ここでは、第2の基準電圧発生回路の電圧を第1の基準電圧発生回路の電圧による制限電流値に近いところに設定して第1の基準電圧発生回路の電圧による電流制限動作ができなくなったときに電流制限回路として動作させる。

なお、制限電流値に近いところとは、外付けされる第1の基準電圧発生回路の電圧の製品ばらつきの上限値より上であって、パワートランジスタの最大定格電流値か、それよりも下であればよい。

すなわち、第2の基準電圧発生回路の電圧による制限電流値は、このときの規定電流値を越えた電流値であるが、パワートランジスタがモータ駆動動作を継続しても問題の生じない範囲にある。例えば、これは、電流制限を行う電流値に対して3%～10%程度高い範囲が好ましい。

その結果、基準電圧を発生する回路の故障だけでドライバが動作しなくなったり、例えば、モータが動作しなくなったりすることがなく、機構あるいは装置全体が無駄になってしまう欠点を防止することができる。

発明を実施するための最良の形態

- [0008] 図1は、この発明の電流制限回路を適用した一実施例のユニポーラ駆動のステッピングモータドライバの単相駆動回路を中心としたブロック図、図2は、その電流制限回路におけるコンパレータの回路図である。

図1において、10は、励磁コイルが4個のユニポーラ駆動のステッピングモータドライバICである。これには、電流出力回路1a, 1b, 1c, 1dが設けられ、それぞれがステッピングモータ11の励磁コイル11a, 11b, 11c, 11dにそれぞれ接続され、各励磁コイル11a, 11b, 11c, 11dには、それぞれフライホイールダイオードDが並列に接続されている。

電流出力回路1a, 1b, 1c, 1dは、それぞれ同一の回路で構成されているので、その詳細を電流出力回路1aのみに示す。以下、電流出力回路1aについて説明し、電流出力回路1b, 1c, 1dは、同様であるのでその説明を割愛する。なお、12は、電源である。

- [0009] 電流出力回路1aは、NチャネルMOSFETパワートランジスタTrを有していて、パワートランジスタTrは、ドレインが出力端子2aに接続され、出力端子2aに励磁電流を出力する。パワートランジスタTrのソースは、端子2eを介してIC外部に取り付けられた出力電流検出用の抵抗Rsに接続され、これを介して接地されている。なお、出力端子2aの出力電流は、この出力端子2aに励磁コイル11aからシンクする電流となる。電流制限回路3は、 $\times 2$ 倍増幅のアンプ4と、コンパレータ5、第1の基準電圧発生回路6a、そして第2の基準電圧発生回路6bとからなる。

アンプ4は、端子2eとコンパレータ5の(−)入力端子との間に接続されている。基準電圧発生回路6aは、端子2cを介してコンパレータ5の(+)入力端子に接続され、IC外部に設けられている。これにより、基準電圧発生回路6aは基準電圧VREFをコンパレータ5の(+)入力端子に加える。一方、基準電圧発生回路6bは、IC内部に設けられていて、コンパレータ5の(+)入力端子に接続され、基準電圧VR(ただし $VR > VREF$)をコンパレータ5の(+)入力端子に加える。

なお、基準電圧VRは、ステッピングモータドライバIC10がこれを基準電圧として動作したときに支障のない、基準電圧VREFより少し高い電圧である。

この基準電圧VRは、前記したように基準電圧VREFによる制限電流値に近いところにある。設計上において電流制限を行う電流値に対して3%〜10%程度高い範囲のいずれかで制限電流がかかるような電圧である。それは、外付けされる基準電圧発生回路6aの基準電圧VREFにおける製品ばらつきの上限值より上であって、パワートランジスタの最大定格電流値か、それよりも下であればよい。

- [0010] ここで、出力電流検出用の抵抗Rsの端子電圧をVsとすると、パワートランジスタTrの出力電流が増加して、電圧Vsが基準電圧VREFを越えるような駆動電流(出力電流)がパワートランジスタTrに発生したとき、言い換えれば、出力電流が規定値(制限電流値)になったときに、コンパレータ5の出力は、“H”から“L”に変わり、検出パルスS(“

L”有意)を発生する。この検出パルスSは、内部遅延回路7に加えられて遅延されて立下がりトリガー信号とされ、RS-フリップフロップ(データラッチ回路)8のクロック端子CLKに入力される。このときにはすでに、RS-フリップフロップのD端子には遅延しない検出パルスS(“L”)の1ビットデータが加えられている。そこで、遅延したトリガー信号によりこの“L”がラッチされる。

その結果、RS-フリップフロップ8の出力が“L”となって、この出力は、アンドゲート9に加えられる。

アンドゲート9には、相励磁信号G(“H”)が相励磁信号生成回路(図示せず)から加えられていて、RS-フリップフロップ8の出力が“L”となることで、そのゲートが閉じられる。その結果、パワートランジスタTrのゲートに加えられる相励磁信号G(“H”)が阻止されて、このときパワートランジスタTrはOFFになる。パワートランジスタTrがOFFになると、電圧Vsがグランド電位になり、コンパレータ5の出力(検出パルスS)は、“L”から“H”に戻り、検出パルスSが停止する。

したがって、ここでは、検出パルスSは、パワートランジスタTrをOFFにする制御信号になっている。

[0011] 一方、検出パルスS(“L”)は、タイマ回路7aにも加えられ、一定時間後にRS-フリップフロップ8にチョッピングパルスを発生させる。すなわち、パワートランジスタTrがOFFになった後の一定時間後にタイマ回路7aを介して内部遅延回路7にインバータ7bを介してパルスP(“H”)が加えられる。さらに、パルスP(“H”)は、RS-フリップフロップ8のD端子に遅延なしに加えられる。

内部遅延回路7は、このパルスPの立上がりに対して立下がりトリガパルスを発生する。これにより、このパルスPの“H”の期間には、RS-フリップフロップ8に“H”、すなわち“1”がラッチされて、RS-フリップフロップ8は、タイマ回路7aのタイムカウントに応じた休止期間を持つチョッピングパルスをQ出力に発生する。その結果、アンドゲート9のゲートが開く。そこで、相励磁信号G(“H”)とのアンド条件が成立してパワートランジスタTrにより駆動電流が励磁コイル11aに流され、その電流が増加していく。これが規定値(制限電流値)に達すると、コンパレータ5の出力は、“H”から“L”に変わり、検出パルスSを発生する。これにより、パワートランジスタTrがまたOFFになる。

以上の繰り返しにより、相励磁信号G(“H”)がパワートランジスタTrのゲートに加えられる駆動期間にパワートランジスタTrがチョッピング駆動され、相励磁信号Gの発生タイミングに応じて励磁コイル11aに駆動電流が流される。

なお、タイマ回路7aは、“H”のチョッピングパルスPを一定時間“L”に落とすものであって、検出パルスSを受けないときには“H”のチョッピングパルスPを発生させてRS-フリップフロップ8に“1”をセットし、ゲート9を開状態に保持する。そこで、相励磁信号G(“H”)が発生したときにはアンド条件が成立してパワートランジスタTrにより駆動電流が励磁コイル11aに流され、前記のような動作が相励磁信号Gの発生に応じて開始される。

これにより、電流制限回路3は、抵抗Rsによる端子2cの電圧Vsが基準電圧VREFを越えたときに、すなわち、パワートランジスタTrの出力電流が規定電流値になったときに駆動電流を停止させてパワートランジスタTrの出力電流を制限する。この点で電流制限回路3は、過電流保護回路を兼ねるものとして設けられている。

[0012] ここで、基準電圧発生回路6aが故障しあるいは端子2fとの接続不良などにより端子2fに基準電圧VREFが発生しなくなったとする。

このときには、パワートランジスタTrの出力電流が増加して、電圧Vsが基準電圧VREFを越える。そこで、電圧Vsが基準電圧VRを越えるような出力電流がパワートランジスタTrに発生したときには、言い換えれば、出力電流が規定値以上の所定値になったときには、コンパレータ5の出力は、“H”から“L”に変わる検出パルスS(“L”有意)をここでも発生する。

すなわち、コンパレータの比較基準電圧が基準電圧発生回路6aの基準電圧VREFから基準電圧発生回路6bの基準電圧VRに換わって前記の動作が継続的に行われる。これによりドライバとしてステップングモータドライバIC10は、動作を継続することができる。

[0013] 図2は、コンパレータ5の具体的な回路図であって、コンパレータ5は、PNPトランジスタQ1、Q2からなる差動増幅器50を有している。この差動増幅器50に対して、トランジスタQ1のベースには、これに接続されたPNPトランジスタQ3、Q4が並列に設けられている。PNPトランジスタQ3、Q4は、それぞれエミッタ側がトランジスタQ1のベース

に、コレクタ側が接地されている。

トランジスタQ2のベースには、これに接続されたPNPトランジスタQ5が並列に設けられている。トランジスタQ5のエミッタは、トランジスタQ2のベースに接続され、コレクタ側が接地され、そのベースには、 $\times 2$ 倍増幅のアンプ4から電流検出信号を受ける。

トランジスタQ3のベースと端子2fとの間には基準電圧発生回路6aが設けられ、トランジスタQ4のベースとグラウンドGNDとの間には基準電圧発生回路6bが設けられている。

51〜53は、それぞれ各トランジスタQ1〜Q5を動作させるための電流源であり、各トランジスタのエミッタと電源ライン+VDDとの間に設けられている。NPNトランジスタQ6, Q7は、カレントミラー回路であって差動増幅器50のアクティブ負荷回路としてトランジスタQ1, Q2の下流に設けられ、エミッタ側が接地されている。

NPNトランジスタQ8, Q9は、出力段トランジスタであって、それぞれのエミッタ側はグラウンドGNDに接続され、トランジスタQ8のコレクタは、電流源54を介して電源ライン+VDDに接続され、トランジスタQ6のコレクタからベースに出力を受ける。トランジスタQ9のコレクタは、負荷抵抗Rを介して電源ライン+VDDに接続され、トランジスタQ8のコレクタからそのベースに出力を受けて、検出パルスPをそのコレクタに発生する。

[0014] ところで、第1の基準電圧発生回路6aの発生すべき電圧は、端子2fを介して発生すべき電圧をチェックできるようにしておけば容易に判断がつくので、第1の基準電圧発生回路6aを取り替えて正常の動作状態に戻すことが容易である。

この場合の第1の基準電圧発生回路6aの発生すべき電圧は、第2の基準電圧発生回路6bの電圧か、これより所定値低い電圧として発生させることができる。そのため、第1の基準電圧発生回路6aの接続端子(端子2f)に第2の基準電圧発生回路6bの電圧が出力されるような回路構成であった方がよい。図2の端子2fは、このような例になっている。そして、第2の基準電圧発生回路6bの電圧が第2の基準電圧発生回路6bの基準電圧VREFより1Vf(ベース−エミッタ間順方向降下電圧)以上高い場合には、第1の基準電圧発生回路6aが端子2fに接続されている限り、トランジスタQ4

はOFFになっている。

- [0015] ここで、基準電圧発生回路6aの基準電圧VREFにより制限されるパワートランジスタTrの出力電流の規定値を2.6Aとすると、基準電圧発生回路6bの電圧VRにより制限されるパワートランジスタTrの出力電流を2.7A程度($=2.6 \times 1.038$)に設定され、動作として支障を来さない値になっている。電流制限回路の動作としての回路関係も変更はない。なお、パワートランジスタTrの最大定格電流は、3.0A(>2.6A)であるとする。

その結果、基準電圧発生回路6aが故障して基準電圧VREFがコンパレータ5に送出されない状態であっても、基準電圧VREFより少し高い値VRに設定されてドライバICとしての動作に差し障りがなく、継続してドライバとして使用可能である。

- [0016] ところで、実施例では、コンパレータ5は、電流出力回路1a、1b、1c、1dにそれぞれ設けられる構成となっているが、コンパレータ5は、複数の電力出力回路に共通に設けられていてもよい。この場合、例えば、電流出力回路1a、1bのそれぞれのコンパレータ5と、電流出力回路1c、1dのそれぞれのコンパレータ5bとに対して出力電流値の検出抵抗Rsをそれぞれに共通化してトータルで2個とすることができる。

また、実施例のパワートランジスタTrは、MOSFETトランジスタであるが、これは、バイポーラトランジスタであってもよいことはもちろんである。

さらに、実施例では、ユニポーラ駆動のステッピングモータドライバICのモータ駆動回路について説明しているが、パワートランジスタの出力回路をプッシュ・プル動作の駆動回路として、バイポーラ駆動(正位相と逆位相の量は駆動)のステッピングモータドライバICにこの発明を適用してもよいことはもちろんである。

産業上の利用可能性

- [0017] 以上説明してきたが、実施例では、内部遅延回路7と、RS-フリップフロップ(データラッチ回路)8、アンドゲート9、そしてOFFタイマ回路7aを介してパワートランジスタTrのON/OFF制御をしているが、パワートランジスタTrがOFFされる構成であれば、これら回路はこの発明にとって必ずしも必要な構成ではない。

また、実施例では、コンパレータ5は、2つの(+)入力端子を持つもの1つでしているが、これは、コンパレータ5の内部回路をパラレルに2つのコンパレータで構成とし

でもよい。また、これは、(+)入力端子と(-)入力端子がそれぞれある2つあるコンパレータを使用してもよい。

さらに、実施例では、ステッピングモータドライバICについて説明しているが、規定の電流値でパワートランジスタをOFFして駆動電流を制限するような電流制限回路あるいは過電流保護回路を有するドライブ回路であれば、どのような回路であってもこの発明は適用できる。

図面の簡単な説明

[0018] [図1]図1は、この発明の電流制限回路を適用した一実施例のユニポーラ駆動のステッピングモータドライバの単相駆動回路を中心としたブロック図である。

[図2]図2は、その電流制限回路におけるコンパレータの回路図である。

符号の説明

- [0019] 1a, 1b, 1c, 1d…電流出力回路、
2a, 2b, 2c, 2d…出力端子、
3…電流制限回路、4…×2倍増幅のアンプ、
5…コンパレータ、6a…第1の基準電圧発生回路、
6b…第2の基準電流発生回路、
7…内部遅延回路、7a…タイマ回路、7b…インバータ、
8…RS-フリップフロップ(データラッチ回路)、
9…アンドゲート、
10…ステッピングモータドライバIC、
11a, 11b, 11c, 11d…励磁コイル、
12…電源、
Rs…抵抗、Tr…NチャネルMOSFETパワートランジスタ、
Q1ーQ9…バイポーラトランジスタ、D…フライホイールダイオード。

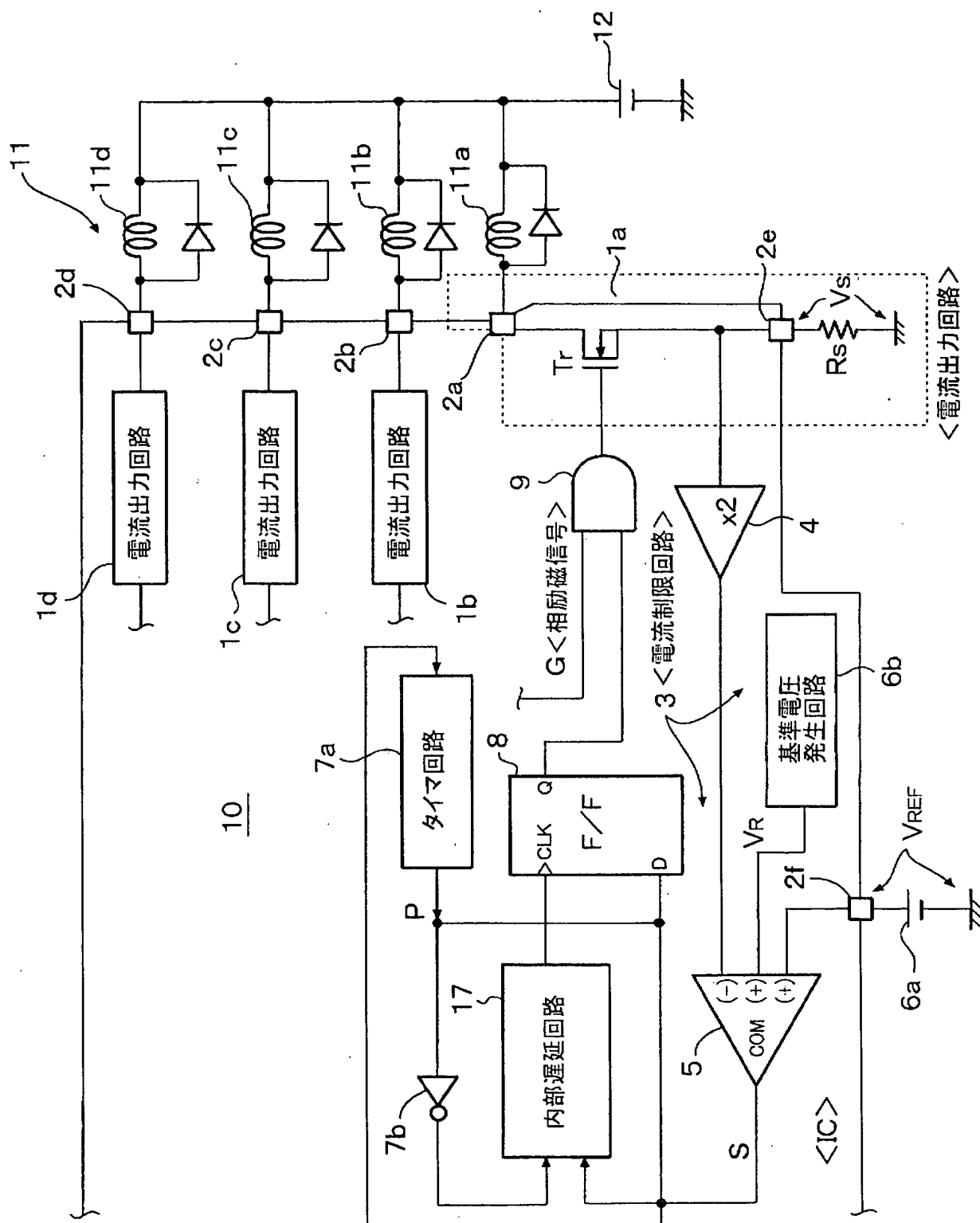
請求の範囲

- [1] 電流出力のパワートランジスタと、出力電流検出回路とを備えるICにおける電流制限回路において、
- 前記出力電流検出回路は、前記パワートランジスタに直列に設けられ、コンパレータと第1の基準電圧発生回路と第2の基準電圧発生回路とを有し、
- 前記パワートランジスタの出力電流が所定の規定値に達したときに前記出力電流検出回路から得られるその検出信号と前記第1の基準電圧発生回路から得られる第1の基準電圧とに応じて前記コンパレータが前記パワートランジスタの駆動を所定期間停止させるための制御信号を発生し、前記パワートランジスタの出力電流が前記規定値を越えた所定値になったときに前記出力電流検出回路から得られるその検出信号と前記第2の基準電圧発生回路から得られる第2の基準電圧とに応じて前記コンパレータが前記制御信号を発生するものであって、前記第1の基準電圧発生回路が前記ICに外付けされ、前記第2の基準電圧発生回路が前記ICに内蔵されている電流制限回路。
- [2] 前記第2の基準電圧は、前記パワートランジスタがドライバとして動作を継続しても問題の生じない範囲に設定されている請求項1記載の電流制限回路。
- [3] 前記パワートランジスタの出力電流はモータをドライブする電流として出力される請求項2記載の電流制限回路。
- [4] 前記出力電流は、前記パワートランジスタが電流を出力する出力端子からシンクする駆動電流である請求項3記載の電流制限回路。
- [5] 前記所定値は、前記規定値の電流値に対して3%〜10%程度高い範囲であり、前記出力電流検出回路は、前記ICの所定の端子を介して外付けされた抵抗を有し、この抵抗に発生する端子電圧を前記検出信号とする請求項4記載の過電流保護回路。
- [6] さらに、チョッピングパルス発生回路とタイマ回路とを有し、前記所定期間は一定期間であって、前記タイマ回路は、前記制御信号を受けて前記一定期間を計測するものであって、前記チョッピングパルス発生回路は、前記タイマ回路により設定された前記一定期間置きにパルスを発生し、このパルスに応じて前記パワートランジスタの

ON/OFFが制御される請求項5記載の過電流保護回路。

- [7] 請求項1～6のいずれか記載の前記電流制限回路を有する前記ICの前記パワートランジスタからの前記出力電流によりモータを駆動するモータドライブ回路。
- [8] 前記モータがステッピングモータである請求項7記載のモータドライブ回路。

[図1]



[illegible]

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/000117

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁷ H02P8/12

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl.⁷ H02P8/00-8/42Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005
Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10-80194 A (Shindengen Electric Mfg. Co., Ltd.), 24 March, 1998 (24.03.98), & US 6066930 A1 & EP 833439 A & DE 69717754 T	1-8
A	JP 10-80186 A (Sanyo Electric Co., Ltd.), 24 March, 1998 (24.03.98), (Family: none)	1-8
A	JP 6-120787 A (Mitsubishi Electric Corp.), 28 April, 1994 (28.04.94), & US 5375029 A1 & DE 4334386 A	1-8

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13 April, 2005 (13.04.05)Date of mailing of the international search report
26 April, 2005 (26.04.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H02P8/12

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H02P8/00-8/42

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 10-80194 A(新電元工業株式会社)24. 03. 1998 & US 6066930 A1 & EP 833439 A & DE 69717754 T	1-8
A	JP 10-80186 A(三洋電機株式会社)24. 03. 1998 (ファミリーなし)	1-8
A	JP 6-120787 A(三菱電機株式会社)28. 04. 1994 & US 5375029 A1 & DE 4334386 A	1-8

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

13. 04. 2005

国際調査報告の発送日

26. 4. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

尾家 英樹

電話番号 03-3581-1101 内線 3358

3V

9335